

Шубин Владимир Владимирович

**ИССЛЕДОВАНИЕ И РАЗРАБОТКА  
НОВЫХ СХЕМО-ТОПОЛОГИЧЕСКИХ РЕШЕНИЙ  
ЭЛЕМЕНТОВ БИБЛИОТЕК ЗАКАЗНЫХ КМДП СБИС**

Специальность: 05.27.01 – Твердотельная электроника,  
радиоэлектронные компоненты, микро- и наноэлектроника,  
приборы на квантовых эффектах

**АВТОРЕФЕРАТ**

диссертации на соискание учёной степени  
кандидата технических наук

Работа выполнена в ОКБ ОАО «Новосибирский завод полупроводниковых приборов с ОКБ» (НЗПП с ОКБ)

Научный руководитель: доктор технических наук, профессор  
Гридчин Виктор Алексеевич

Официальные оппоненты: доктор технических наук  
Ли Ирлам Игнатьевич,  
Институт физики полупроводников  
им. А.В. Ржанова Сибирского отделения  
Российской академии наук (ИФП СО РАН),  
ведущий научный сотрудник

кандидат технических наук, доцент,  
Воробьева Светлана Владимировна,  
Сибирский государственный университет  
телекоммуникаций и информатики (СибГУТИ),  
зав.кафедрой радиотехнических систем

Ведущая организация ОАО «Научно-исследовательский институт  
полупроводниковых приборов» (НИИПП)

Защита состоится 25 декабря 2013 г. в 11.00 ч. в конференц-зале на заседании диссертационного совета Д.212.173.03 Новосибирского государственного технического университета (НГТУ) по адресу: 630073, г. Новосибирск, проспект Карла Маркса, 20

С диссертацией можно ознакомиться в библиотеке Новосибирского государственного университета по адресу: 630073, г. Новосибирск, проспект Карла Маркса, 20,

Автореферат разослан « \_\_\_\_ » ноября 2013 г.

Ученый секретарь  
диссертационного совета Д.212.173.03  
кандидат технических наук

Остертак Д. И.

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

**Актуальность диссертационного исследования.** Анализируя развитие микроэлектроники, следует выделить следующий факт: в 1998 году электронная промышленность впервые по общему объёму продаж превзошла автомобильную и стала самой крупной в мире отраслью, с общим объёмом продаж более одного триллиона долларов. Главной движущей силой быстрого роста электронной промышленности является развитие микроэлектроники на базе длительного масштабирования размеров MOSFETs, которое оказывает влияние на уменьшение стоимости и рост характеристик всех электронных изделий.

На определённом этапе развития микроэлектроники было установлено, что возможности масштабирования и совершенствования материалов и технологий довольно успешно позволяют решать задачи по непрерывно растущим требованиям к производительности и стоимости электронных систем.

К сожалению, уменьшение линейных размеров интегральных схем сопровождается целым рядом изменений характеристик приборов и требований к их использованию.

Кроме того, возможности масштабирования линейных размеров ограничены физическими пределами. Поэтому промышленное изготовление СБИС с характеристическими размерами MOSFET 10 nm и ниже представляется трудоёмкой и дорогостоящей задачей.

Однако, целью развития каждого нового технологического поколения приборов является не формальное достижение минимальных размеров, а рост основных технико-экономических показателей СБИС, таких как повышение быстродействия, снижение мощности потребления, уменьшение площади элементов при сохранении их функциональности. Поэтому альтернативные способы достижения указанных целей продлевают время жизни каждому новому поколению приборов.

Учитывая проблему возможности длительного масштабирования, исследования в области достижения предельных характеристик сегодня становятся всё более и более актуальными.

Поэтому в данной работе особое внимание обращается на исследование принципов проектирования, позволяющих повысить технико-экономические показатели ИС на основе любой технологической базы, в том числе и существующей на сегодняшний день.

**Цель диссертационного исследования.** Целью данной работы является поиск и оптимизация схмотехнических и топологических решений, позволяющих повысить существующие характеристики отдельных функциональных элементов библиотек, используемых при проектировании КМОП СБИС.

Для достижения указанной цели необходимо решить ряд **Задач**:

- Исследование известных схмотехнических решений отдельных блоков тактируемых статических Оперативных Запоминающих Устройств (ОЗУ) с Произвольным Выбором (ЗУПВ), на основании которых проведён анализ их недостатков и намечены пути их устранения;

- Разработка принципов выбора оптимальных конструктивных решений при проектировании Запоминающих Устройств (ЗУ), начиная с выбора конструкции ячейки памяти, топологической архитектуры всего кристалла ЗУ вплоть до его физической реализации в производстве;

- Сравнение количественных характеристик известных схмотехнических решений ячеек полных сумматоров со сквозным переносом при работе в составе многоразрядных сумматоров;

- Разработка на базе сертифицированных Spice-моделей новых оптимизированных схемо-топологических решений ряда функциональных элементов цифровых библиотек КМОП СБИС для их многократного использования в составе библиотек стандартных элементов;

- Разработка авторских методик сравнения и выбора отдельных функциональных элементов цифровых библиотек КМОП СБИС.

В процессе работы по решению задач диссертационного исследования использовалась следующая **Методологическая база исследования**:

- Программное обеспечение для сквозного проектирования СБИС типа Система-на-Кристалле (СнК) фирмы Cadence Design Systems (США);

- Программное обеспечение MyChip Station фирмы MyCAD (США, Ю. Корея);
- Правила проектирования (Design Rules) из состава PDK (Process Design Kit) технологических КМОП процессов, указанных выше;
- Сертифицированные Spice-модели 3-микронного КМОП процесса, используемого в серийном производстве ИС ОАО «НЗПП с ОКБ», и 0.18 мкм КМОП процесса ф. Silterra (Малайзия).

**Научная новизна** полученных результатов заключается в следующем:

- Предложены конструктивные решения построения ЗУ, основанные на выборе специальной архитектуры накопителя и отдельных элементов ЗУ: ячейки памяти, дешифратора строк, адресного формирователя и конструкции предзарядных транзисторов и фиксирующих элементов. Предложенные решения позволяют повысить быстродействие и надёжность, как отдельных элементов, так и всего ЗУ в любом технологическом базисе;
- Представлен метод формирования управляющих сигналов сложной последовательности для синхронизации работы различных блоков ЗУ, позволяющий повысить быстродействие и надёжность ЗУ для любого технологического базиса;
- Предложен новый подход к определению количества строк и столбцов при построении архитектуры накопителя ЗУ, заключающийся в кратном увеличении количества строк при пропорциональном уменьшении количества столбцов накопителя, позволяющий повысить быстродействие ЗУ за счёт оптимизации RC цепей при прохождении по Адресным и Разрядным шинам накопителя в любом технологическом базисе;
- Описана методика выбора оптимальной конструкции ячейки КМОП ЗУПВ по основным техническим показателям: площадь элемента, быстродействие, надёжность (устойчивость к воздействию помех), потребляемая мощность в статическом режиме;
- Представлена методика сравнения сумматоров с последовательным переносом по быстродействию с использованием введённого критерия «Разряд-

ность Равных Задержек» (РРЗ), позволяющая достоверно на начальных этапах проектирования СБИС получить объективную информацию о работе сумматоров в составе многоуровневых устройств;

- Предложен новая стратегия построения топологии сумматоров со сквозным переносом, позволяющий повысить их быстродействие на физическом уровне при использовании в составе многоуровневых сумматоров.

### **Практическая значимость работы**

- Разработана оригинальная топология ячейки запоминающего элемента, заключающаяся в развороте затворов транзисторов на  $90^\circ$  по сравнению с традиционными решениями, позволяющая:

- а) использовать затворы обоих управляющих транзисторов ячейки для передачи адресного сигнала, что позволяет вдвое уменьшить сопротивление адресной шины при незначительном увеличении её ёмкости;

- б) изменить коэффициент формы ячейки без увеличения её площади, что даёт возможность реализации нетрадиционного подхода к выбору количества строк и столбцов при сохранении соотношения сторон накопителя ЗУ;

- в) использовать оптимальное расположение комплементарных пар инверторов ячейки для применения охранных колец без увеличения площади ячейки, позволяющее, при необходимости, простую модификацию размеров транзисторов без изменения конструкции и увеличения площади;

- Разработаны принципиальная схема и топология КМОП ЗУПВ 1603РУ1 и получен работоспособный кристалл, удовлетворяющий требованиям ТЗ по быстродействию. Новый кристалл СБИС 1603РУ1 имеет задержку распространения сигнала от входа Выбор Кристалла (ВК) до выхода в режиме чтения 80 нс при  $25^\circ\text{C}$ , что в 2.25 раза меньше в сравнении с предыдущей конструкцией и в 5.6 раза меньше требований ТУ;

- Реализована новая методика сравнения сумматоров с последовательным переносом по быстродействию с использованием введённого критерия РРЗ при

расширении состава библиотек цифровых СБИС БМК И174 и И206 серийного производства ОАО «НЗПП с ОКБ»;

- Предложены новые схемотехнические решения нескольких функциональных цифровых элементов библиотек КМОП СБИС: адресный формирователь, дешифратор строк, несколько типов полных сумматоров, позволивших повысить их быстродействие и надёжность и уменьшить количество элементов, используемых при их реализации;

- По результатам исследований в библиотеки КМОП технологического процесса HF3RP ОАО «НЗПП с ОКБ» внедрены новые функциональные цифровые элементы: адресный формирователь, дешифратор, девять видов сумматоров.

**Апробация результатов исследования.** Основные результаты диссертационного исследования докладывались и обсуждались на международных и отечественных научно-технических конференциях и семинарах:

- «IEEE 11th International Conference and Seminar on Micro/Nanotechnologies and Electron Devices Proceedings», EDM-2010, Russia, Erlagol, June/July, 2010;

- «10th International Conference on Actual Problems Electronic Instrument Engineering Proceedings», APEIE-2010, Russia, Novosibirsk, 2010;

- Ежегодная Российская научно-техническая конференция «Информатика и проблемы телекоммуникаций», Россия, Новосибирск, 2008 и 2011.

**Публикации.** По материалам диссертации опубликовано **23** печатных работ, в т.ч. **3** статьи в изданиях, рекомендованных ВАК Российской Федерации, получено **11** патентов на изобретение, **1** авторское Свидетельство о государственной регистрации Топологии Интегральной МикроСхемы 1603РУ1 и **1** учебное пособие – по проектированию топологии компонентов СБИС.

#### **Результаты диссертации, выносимые на защиту**

- Новые архитектурные, схемотехнические и топологические решения, позволяющие улучшить существующие характеристики отдельных функциональных элементов библиотек, используемых при проектировании КМОП

СБИС типа СнК, основанные на предлагаемых методах и конкретных решениях;

- Метод формирования управляющих сигналов сложной последовательности для синхронизации управления различными блоками ЗУ с минимальными потерями быстродействия и надёжности;

- Методика сравнения сумматоров с последовательным переносом по быстродействию с использованием введённого критерия РРЗ;

- Стратегия построения топологии сумматоров со сквозным переносом, позволяющая повысить их быстродействие на физическом уровне при использовании в составе многоразрядных сумматоров;

- Новые схемотехнические решения построения сумматоров, позволяющие достигнуть нового, более высокого уровня быстродействия.

**Структура и объём работы.** Диссертация изложена на **200** страницах машинописного текста. Состоит из введения, пяти глав, заключения, списка литературы, включающего **97** наименований отечественных и зарубежных источников, и четырёх приложений. Основное содержание диссертации изложено на **174** стр., включая **67** рисунков и **8** таблиц.

## **КРАТКОЕ СОДЕРЖАНИЕ РАБОТЫ**

**Во введении** обоснована актуальность темы, обозначена цель диссертационного исследования и сформулированы задачи. Изложены научная новизна и практическая значимость работы. Сформулированы основные положения, выносимые на защиту.

**Первая глава** носит обзорный характер, в ней обсуждаются некоторые современные тенденции развития методологии проектирования интегральных схем. Кратко рассмотрены особенности эволюции масштабирования линейных размеров СБИС, обозначены проблемы проектирования этих СБИС при переходе в область глубокого субмикрона и сформулированы задачи для решения этих проблем.



В главе обобщены данные о методах и принципах проектирования ИС. Особое внимание уделено методу проектирования на стандартных элементах и методологии проектирования СБИС типа СнК.

Сформулированы цели и задачи диссертационного исследования, решение которых позволяет добиться более высоких характеристик при проектировании элементов цифровых библиотек.

Во **Второй** главе рассматриваются конструктивные особенности построения основных блоков статических КМОП ЗУПВ: ячейки памяти, дешифратора строк и адресного формирователя, а также их взаимного расположения, оказывающего консолидированное влияние на работоспособность, быстродействие и надёжность ЗУ. Обсуждаются принципы организации архитектуры статических КМОП ЗУ и связанные с ними проблемы построения схемы формирования последовательности управляющих сигналов.

На основе анализа структуры элемента памяти предложена методика выбора её оптимальной конструкции.

Сущность предлагаемой методики заключается в вычислении численного значения критерия, названного «Обобщённый Критерий Оптимальности» (ОКО).

$$K = \sum_{i=1}^i s_i \cdot n_i, \quad (1)$$

где  $K$  – численное значение ОКО,  $n_i$  – численное значение  $i$ -го локального критерия,  $s_i$  – коэффициент значимости  $i$ -го локального критерия,  $i$  – индекс порядкового номера параметра.

Локальные критерии (ЛК) представляют собой технические показатели проекта, выраженные целыми числами безразмерных единиц рейтинга сравниваемых вариантов  $1 < n_i < m$ , где  $m$  – число сравниваемых вариантов, 1 соответствует наихудшему варианту, а наилучшему варианту присваивается  $m$  баллов.

$s_i$  – весовой коэффициент значимости (ВКЗ)  $i$ -го ЛК – параметр, который в численной форме отражает важность  $i$ -го ЛК. Если определена значимость каждого ЛК в виде арифметической прогрессии натуральных чисел: 1, 2, ...  $m_i$ ,

причём младший член прогрессии (1) соответствует наименее важному ЛК, а старший – наиболее важному ( $m_i$ ), то  $s_i$  (ВКЗ) – определяется:

$$s_i = \frac{m_i}{\sum_{i=1}^i m_i}, \quad (2)$$

Приводится пример использования представленной методики при выборе принципиальной схемы элемента памяти для решения задачи по переработке СБИС КМОП ЗУПВ 1603РУ1.

В процессе переработки топологии предложена новая оригинальная топология этого 6-транзисторного элемента памяти, в которой геометрическое расположение затворов транзисторов отличается от традиционного поворотом на  $90^\circ$  относительно адресной и разрядных шин (рисунок 1).

Предложенная топология обладает рядом преимуществ по сравнению с традиционной, основным из которых является обеспечение более высокого быстродействия ЗУ за счёт уменьшения величины RC-цепей адресной и разрядной шин.

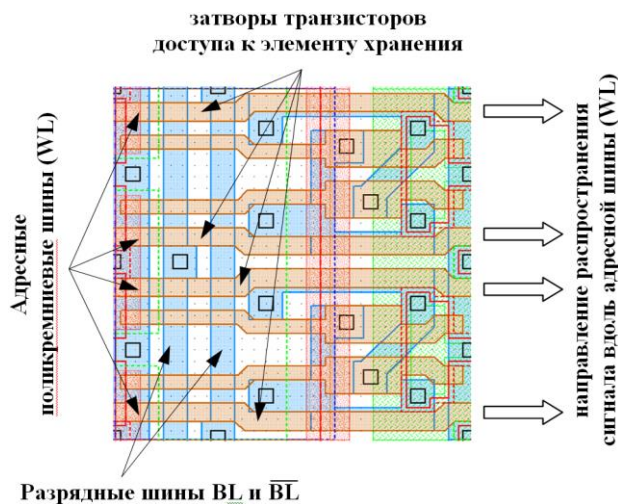
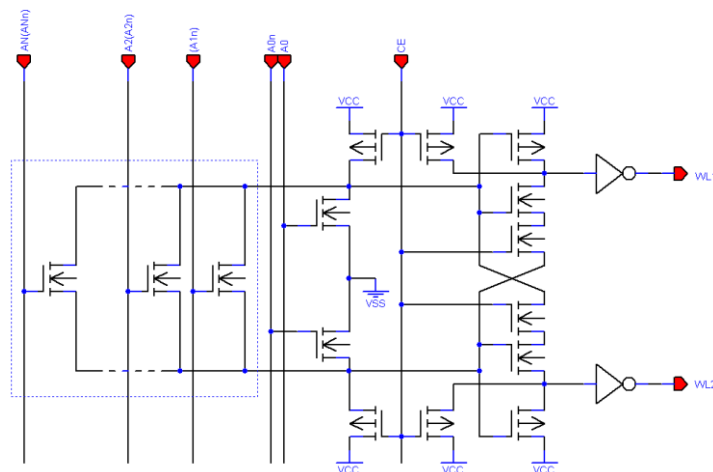


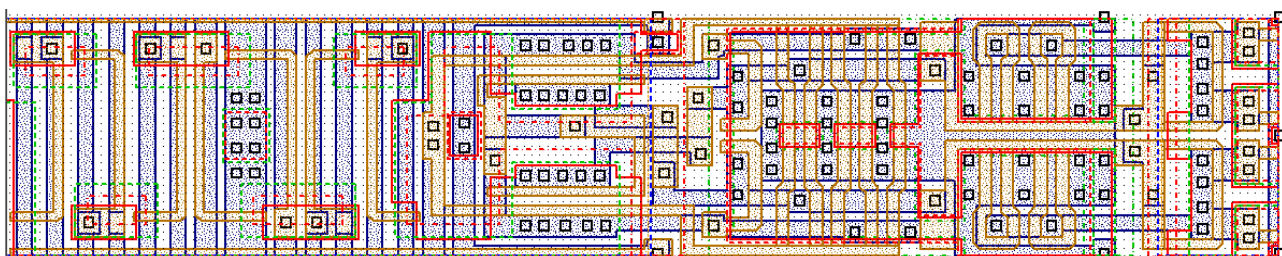
Рисунок 1 – Топология двух элементов памяти статического КМОП ЗУПВ с оригинальным расположением транзисторов

Далее в главе представлены разработанные электрическая принципиальная схема (а) и топология (б) схем дешифратора строк (рисунок 2) и адресного формирователя (рисунок 3), позволяющие повысить быстродействие и надёж-

ность указанных блоков в условиях разброса технологических параметров в широком диапазоне.



(а)



(б)

Рисунок 2 – Электрическая принципиальная схема (а) и топология (б) предложенного быстродействующего тактируемого КМОП дешифратора на одну сторону

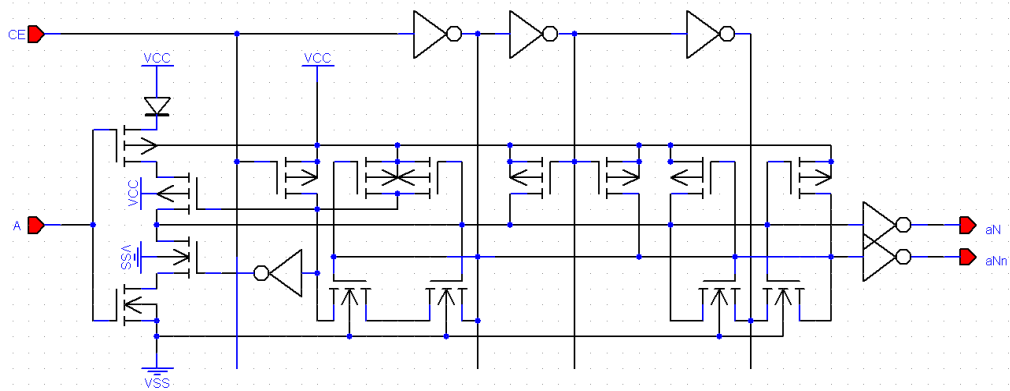
В главе предложена методика оценки эффективности топологии дешифратора, на основании которой проведён анализ предложенного варианта:

$$K_{\text{YOD}} = \frac{S_{\text{min}}}{S_{\text{DAAE}}}, \quad (3)$$

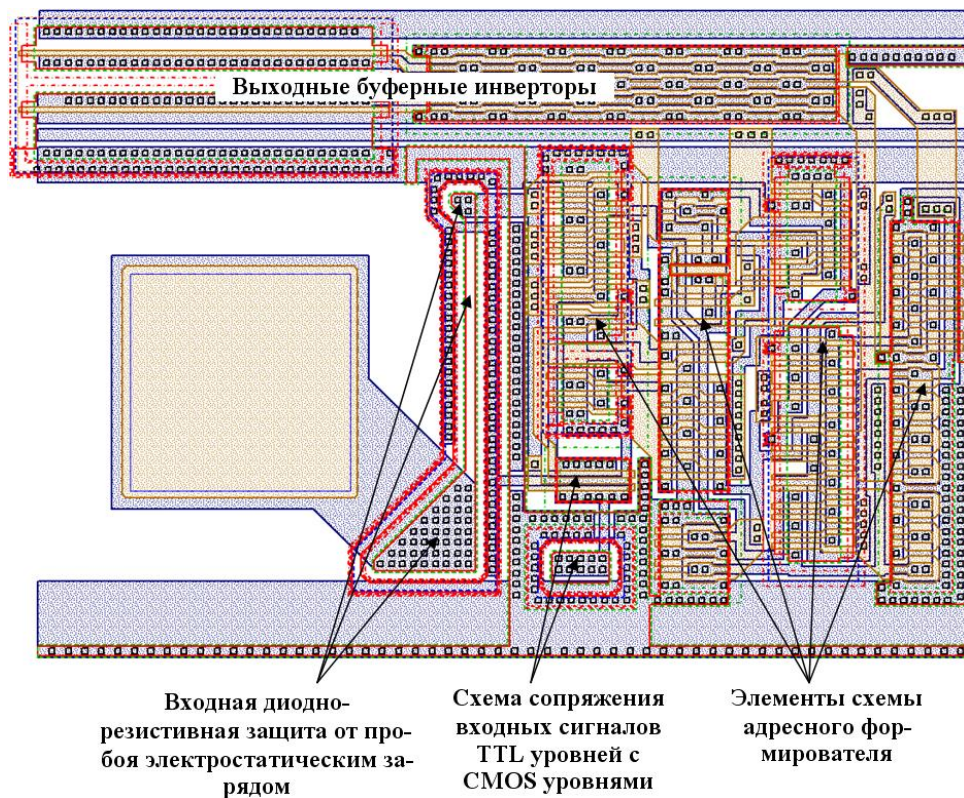
где  $S_{\text{min}}$  может быть вычислена по формуле:

$$S_{\text{min}} = h_C [s_{ME} (2N + X + Y + 1)], \quad (4)$$

в которой,  $h_C$  – высота элемента памяти,  $s_{ME}$  – минимальный шаг шины металлизации первого уровня,  $N$  – число входных адресных сигналов,  $2$  – коэффициент необходимости формирования инверсного сигнала,  $X$  – число управляющих сигналов,  $Y$  – число шин питания. Число «+1» учитывает то, что необходимо, по крайней мере, один шаг для контакта выхода дешифратора с адресной шиной накопителя.



(а)



(б)

Рисунок 3 – Электрическая принципиальная схема (а) и топология (б) адресного формирователя, примененного при разработке СБИС ЗУПВ 1603РУ1

Описаны принципы структурной оптимизации топологической архитектуры накопителя запоминающего устройства, на базе которых осуществлён выбор наиболее оптимального варианта для переработки топологии СБИС ЗУПВ 1603РУ. По результатам этого выбора разработан окончательный вариант топологии. Рисунок 4 отражает выбранную архитектуру накопителя с центральным расположением дешифратора строк и организацией соотношения строк и столбцов  $64 \times 16$ .

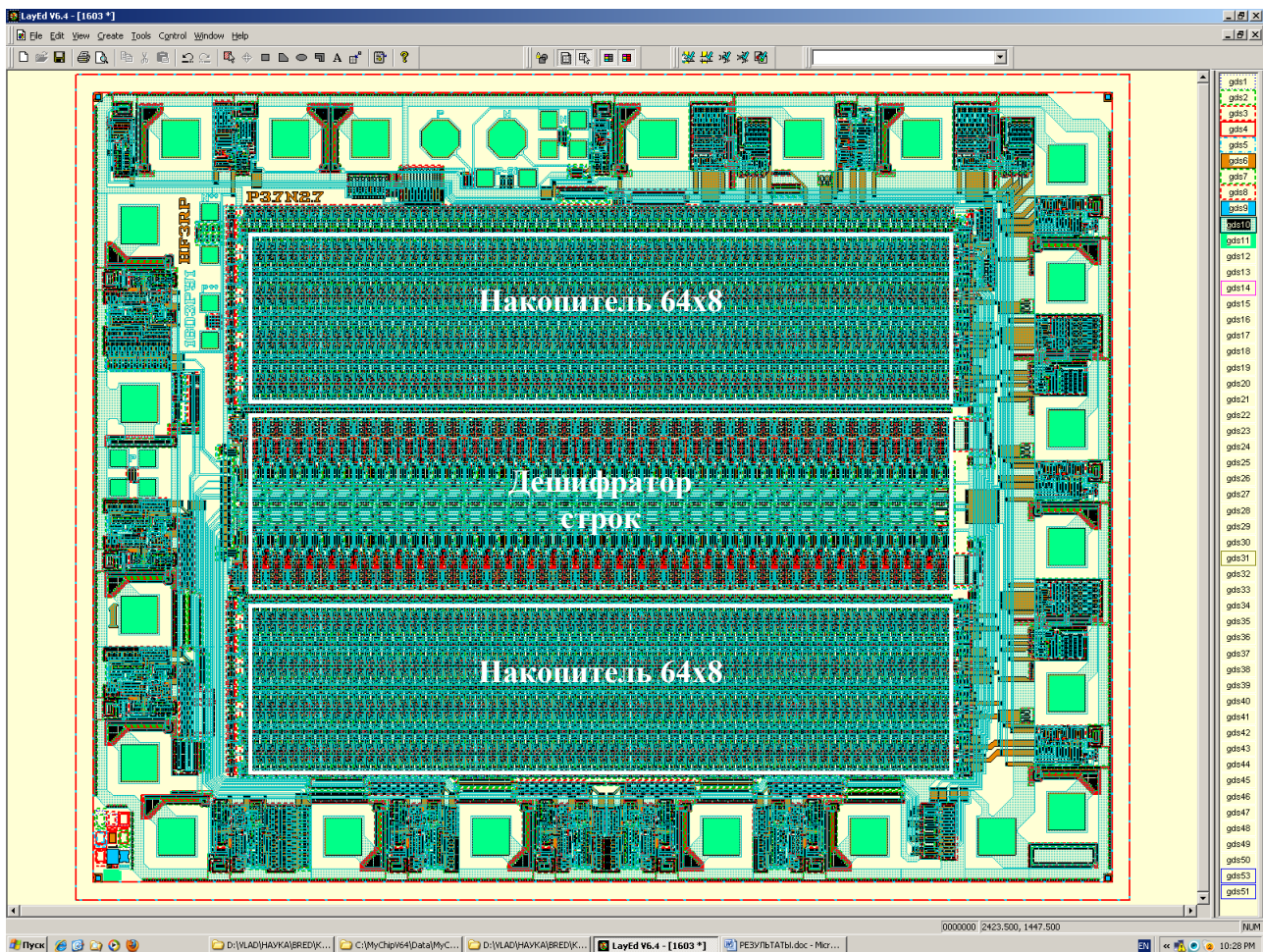


Рисунок 4 – Топология КМОП СБИС ЗУПВ 1603РУ1

В **Третьей** главе рассматриваются особенности проектирования и приёмы оптимизации многоразрядных КМОП сумматоров на базе функциональных ячеек одnorазрядных полных сумматоров со сквозным переносом. Обсуждаются ряд схемо-топологических решений построения ячеек для многократного применения в составе библиотек современной PDK.

На базе исследования и анализа причин, оказывающих влияние на быстродействие ячеек сумматоров, в главе описан ряд новых предложенных схемотехнических решений. Далее приводятся результаты моделирования и сравнение с наиболее распространёнными известными решениями, которые показывают преимущество схемы **Предложенного Сумматора** (названной ПРС) по сравнению с тремя известными (названными ТРС – схема **Традиционного Сумматора**, УТРС – Улучшенной схемы ТРС и СПВ – схемы Сумматора на **Передаточных Вентиллях**) по быстродействию при построении многоразрядного сумматора разрядностью выше четырёх (рисунок 5).

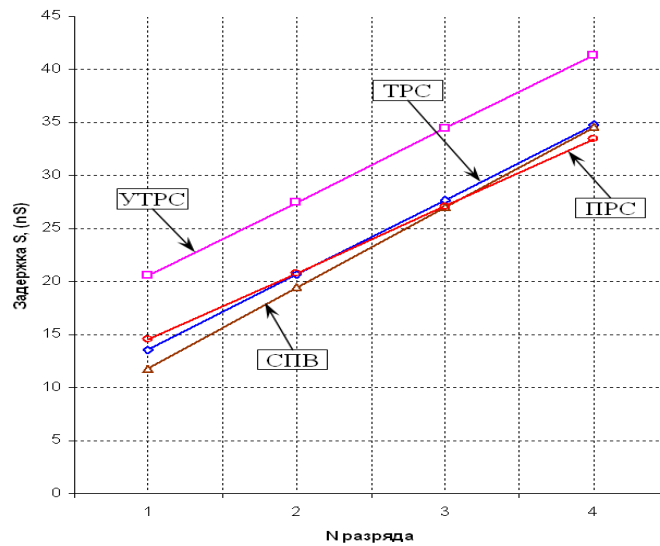


Рисунок 5 – Изменение задержки сравниваемых сумматоров в зависимости от номера разряда формирования суммы

Кроме того, на основании особенностей работы сумматоров, построенных на ячейках одноразрядных сумматоров со сквозным переносом, описана оригинальная стратегия построения топологии, которая позволяет повысить быстродействие сумматора. Сущность предложенной стратегии поясняется рисунком 6.

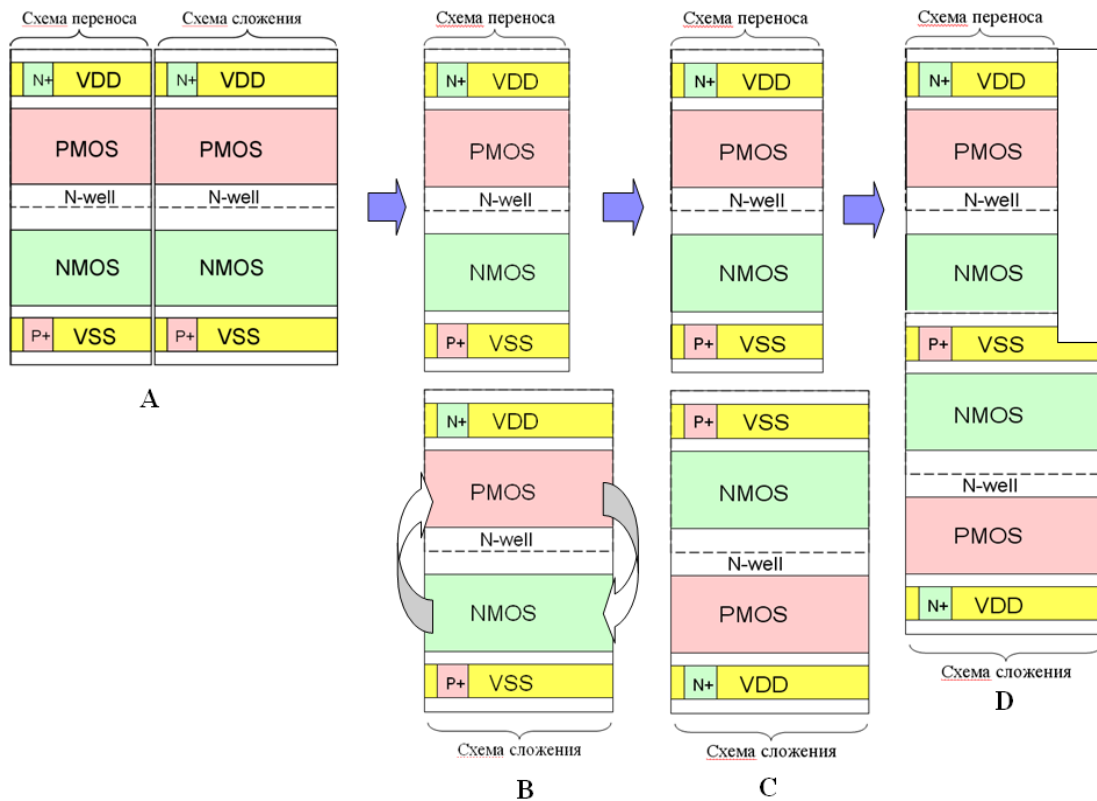


Рисунок 6 – Стратегия построения топологии ячейки быстродействующего сумматора со сквозным переносом, учитывающего особенности работы схемы:

**A** – после разделения ячейки сумматора традиционного подхода на схему переноса (часть схемы, наиболее ответственная за общее быстродействие сумматора при работе в составе много-разрядного сумматора) и схему сложения (часть схемы, мало влияющая на общее быстродействие много-разрядного сумматора); **B** – после переноса разделённой части; **C** – после разворота схемы сложения относительно шины земли; **D** – после объединения шины земли

В Четвёртой главе приводится описание новых авторских методик для оптимизации разработки отдельных элементов библиотек. На основе проведённого анализа существующих методик сравнения сумматоров предложена новая, основанная на введённом критерии РРЗ (Разрядность Равных Задержек). Введённый критерий РРЗ ( $K_{PPЗ}$ ) учитывает характерную особенность работы сумматоров: линейная зависимость задержки распространения сигнала сложения  $S$  от номера разряда  $N$ , как показано на рисунке 7.

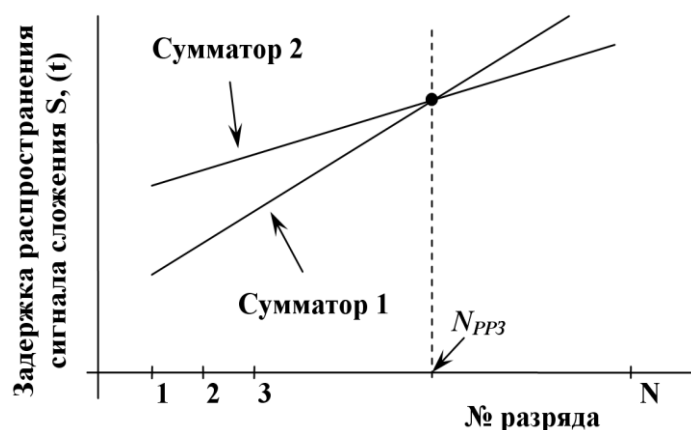


Рисунок 7 – Зависимости задержки распространения сигнала сложения  $S$  от номера разряда  $N$  двух  $N$ -разрядных сумматоров с последовательным переносом

Так как зависимости задержек распространения сигналов  $S$  от номера разряда  $N$  – линейная, в предложенной методике для расчёта  $N_{PPЗ}$  используется уравнение прямой на плоскости по двум точкам:

$$\frac{S - S_1}{S_2 - S_1} = \frac{N - N_1}{N_2 - N_1}, \quad (5)$$

где,  $S_1$  и  $S_2$  – время задержки распространения сигнала сложения, соответственно, 1-го и 2-го разрядов,  $N_1$  и  $N_2$  – номера этих же разрядов.

В методике предложена структурная схема моделирования, позволяющая упростить конечное выражение для вычисления  $N_{PPЗ}$  (рисунок 8).

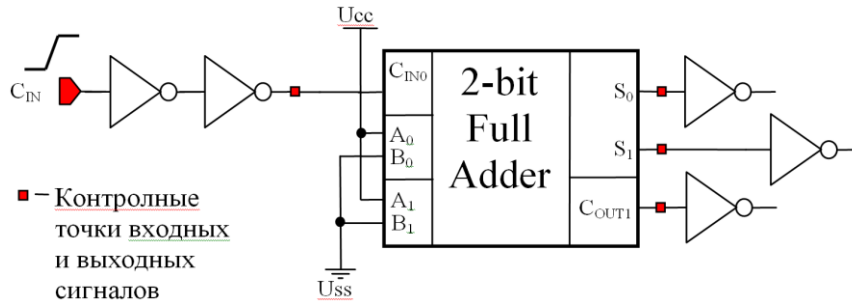


Рисунок 8 – Структурная схема моделирования по методике РРЗ

Для структурной схемы на рисунке 8 значения номеров используемых разрядов составляют:  $N_1 = 1$  и  $N_2 = 2$ .

Таким образом, требуется решение следующей системы уравнений относительно  $N_{PPЗ}$ :

$$\begin{cases} \frac{S - S_1^O}{S_2^O - S_1^O} = N_{PPЗ} - 1 \\ \frac{S - S_1^T}{S_2^T - S_1^T} = N_{PPЗ} - 1 \end{cases}, \quad (6)$$

где символом ( $^O$ ) помечены переменные и значения для Опорного сумматора, а символом ( $^T$ ) – Тестируемого.

Решение системы уравнений (6) определяет критерий  $N_{PPЗ}$  для двух сравниваемых сумматоров:

$$N_{PPЗ} = 1 + \frac{S_1^T - S_1^O}{(S_2^O - S_1^O) - (S_2^T - S_1^T)}. \quad (7)$$

Выражение (7) позволяет по результатам моделирования задержек распространения сигналов сложения  $S$  для двух младших разрядов двух сравниваемых сумматоров  $S_1^O$ ,  $S_2^O$ ,  $S_1^T$  и  $S_2^T$  вычислить  $N_{PPЗ}$  – номер разряда, при котором их задержки равны, и далее происходит смена состояния **отставание (превосходство)** по задержке распространения сигнала сложения одного из сумматоров над другим на **превосходство (отставание)**.

Из определения  $N_{PPЗ}$  следует, что теоретически он может принимать любое значение от  $-\infty$  до  $+\infty$ . Поэтому для практического применения в диссертации приводится описание интерпретации различных численных значений критерия  $N_{PPЗ}$ , полученных с помощью (7).



Приводится пример практического применения новой методики для четырёх схем сумматоров и анализ полученных данных для возможных комбинаций сравнения.

Во второй части главы предложен метод формирования синхронных управляющих сигналов. Сущность метода заключается в том, что для формирования управляющего сигнала, появление которого определяется сравнением с другими сигналами выражениями «одновременно», «одновременно, но не раньше», «одновременно, но не позже», применяются полностью повторяющиеся конструкции сравниваемых сигналов на всех этапах проектирования и изготовления. Применение данного метода позволяет повысить быстродействие и надёжность функционирования проектируемых цифровых устройств. Например, применение **Метода формирования синхронных управляющих сигналов** при переработке СБИС КМОП ЗУПВ 1603РУ1 позволило повысить быстродействие основных динамических параметров более чем на **160%** (уменьшить время выбора с 210 нс до 80 нс) и повысить % выхода годных с 31.2 до 43.4%.

В **Пятой главе** обсуждаются результаты, полученные в диссертационной работе.

1. Разработана и внедрена в серийное производство конструкция (принципиальная схема и топология) кристалла СБИС КМОП ЗУПВ 1603РУ1, фотография которой приведена на рисунке 9. На топологию СБИС КМОП ЗУПВ 1603РУ1 получено Авторское свидетельство.

2. Создан полный набор библиотечных элементов, предназначенный для проектирования ЗУ с произвольным доступом, содержащий: ячейку памяти, ячейку столбца фиксирующих ячеек, ячейку предзарядных транзисторов, ячейку дешифратора строк, ячейку дешифратора столбцов, ячейку усилителя записи/чтения, ячейку адресного формирователя, ячейку элемента I/O. Использование указанного набора библиотечных элементов позволяет в сжатые сроки проектировать тактируемые КМОП ЗУПВ произвольной организации и объёма в рамках технологического процесса HF3RP ОАО «НЗПП с ОКБ», поскольку по-

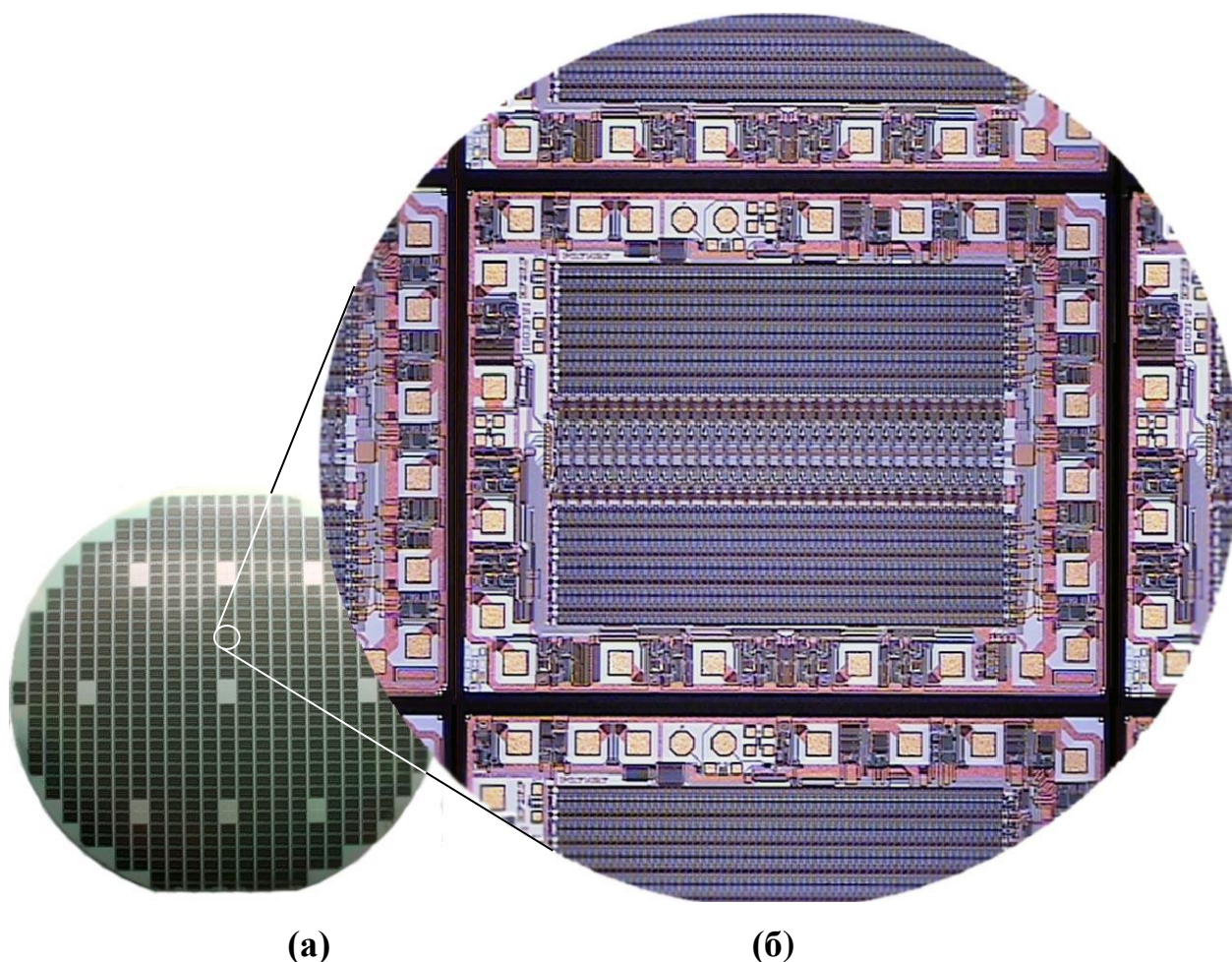


Рисунок 9 – Фотографии пластины (а) и кристалла (б)

СБИС 1603РУ перед тестированием. Диаметр пластины 100 мм

является возможность использования готовых, разработанных нами схематопологических решений большинства элементов кристалла ЗУ. По результатам разработки электрической принципиальной схемы СБИС 1603РУ1 получены патенты РФ на изобретение «Дешифратор строк» и «Адресный формирователь».

3. Представлены и внедрены в серийное производство новые схематопологические решения ячеек сумматоров. На семь схемотехнических решений получены патенты на изобретение РФ. На базе предложенной в главе 3 стратегии построения топологии сумматора разработана топология для библиотеки стандартных элементов и для библиотек набора цифровых и цифроаналоговых БМК ОАО «НЗПП с ОКБ».

## ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ

Основные научные результаты диссертации касаются развития ряда теоретических аспектов и предложения практических решений по проектированию сложных функциональных элементов библиотек статических КМОП ЗУПВ и стандартных элементов.

1. Создан полный набор библиотечных элементов для статического КМОП ЗУПВ, позволяющий в короткие сроки спроектировать ЗУ произвольной архитектуры до 4 Кбит, так как в маршруте разработки отсутствует необходимость проектирования схмотехники и топологии отдельных ячеек ЗУ.

2. Разработаны ячейки элементов ЗУ, имеющие оригинальные авторские схемо-топологические решения: ячейка памяти, дешифраторы строк и столбцов, адресный формирователь, усилитель записи/считывания, элементы входа/выхода и т.д. Два предложенных схмотехнических решения защищены патентами на изобретение РФ, а на топологию кристалла 1603РУ1 получено авторское свидетельство.

3. Разработаны оригинальные схемо-топологические решения базовых элементов СОЗУ, которые позволили повысить надежность микросхемы 1603РУ1, серийно выпускаемой ОАО «НЗПП с ОКБ», и её быстродействие с 3.175 МГц до 8.333 МГц, а за счёт уменьшения площади кристалла на 22% и увеличения процента выхода годных с 31.20% до 43.4%, увеличить общий съём кристаллов с пластины ( $\varnothing 100$ ) в 1.8 раза

4. На базе проведённых исследований разработан ряд схмотехнических и топологических решений одной из основных функциональных ячеек библиотеки стандартных элементов цифровых СБИС – сумматора. Девять предложенных схмотехнических решений защищены патентами на изобретение РФ.

5. Предложена оригинальная авторская методика сравнения сумматоров по быстродействию на основе введённого критерия РРЗ. Предложено выражение определения РРЗ, позволяющее определить теоретический разряд, при котором задержка по операции сложения двух сравниваемых сумматоров оказывается равной. Анализ полученного значения РРЗ позволяет точно прогнозиро-

вать поведение сравниваемых ячеек сумматоров при работе в составе  $N$ -разрядных сумматоров.

б. На основе предложенных схемо-топологических решений созданы и внедрены в маршрут проектирования предприятия ОАО «НЗПП с ОКБ» наборы элементов для библиотеки стандартных элементов и библиотек серии СБИС БМК И174 и И206, позволяющих повысить быстродействие новых проектируемых устройств.

*Все предложенные решения и полученные в диссертации результаты носят обобщённый характер и могут распространяться на различные уровни технологических процессов, как микронного, так и субмикронного диапазонов.*

#### **СПИСОК РАБОТ, ОПУБЛИКОВАННЫХ ПО ТЕМЕ ДИССЕРТАЦИИ**

**В научных журналах и изданиях, которые включены в перечень российских рецензируемых научных журналов и изданий для опубликования основных научных результатов диссертации на соискание ученых степеней доктора и кандидата наук:**

1. **Шубин В.В.** Особенности конструктивной оптимизации параметров КМОП ЗУ / В.В. Шубин // Микроэлектроника, - 2010г. – Т. 39. - №4 – С.303-309.
2. **Шубин В.В.** Новая методика сравнения параллельных сумматоров с последовательным переносом / В.В. Шубин // Электронная техника. - Серия 2. Полупроводниковые приборы. - 2010г. - выпуск 1 (224). - С.105-112. (УДК 621.372.832)
3. **Шубин В.В.** Новое схемотехническое решение одноразрядного полного КМОП сумматора / В.В. Шубин // Микроэлектроника. - 2011г. – Т. 40. - №2. – С.130-139.

#### **Иные публикации и материалы конференций:**

4. **Шубин В.В.** Оригинальное решение топологии элемента памяти статического КМОП ЗУПВ / В.В. Шубин // Информатика и проблемы телекоммуника-

- ций: Материалы Российской научно-технической конференции. - Новосибирск, 2008г. - Том 1. – С. 429-430.
5. **Шубин В.В.** Перспективы и проблемы развития методологии проектирования СБИС Система-на-Кристалле / В.В. Шубин, А.В. Глухов // Информатика и проблемы телекоммуникаций: Материалы Российской научно-технической конференции. - Новосибирск, 2008г. - Том 1. – С.430-433.
  6. **Шубин В.В.,** Расчёт и проектирование топологии компонентов СБИС / В.В. Шубин, Г.В. Перов // практикум, Новосибирск, СибГУТИ, 2009.
  7. **Vladimir V. Shubin** New High-Speed CMOS Full Adder Cell of Mirror Design Style / Vladimir V. Shubin // IEEE 11<sup>th</sup> International Conference and Seminar on Micro/Nanotechnologies and Electron Devices Proceedings, Erlagol, Russia - Erlagol, June/July, 2010. - PP.128-131.
  8. **Vladimir V. Shubin** Analysis and Comparison of Ripple Carry Full Adders by Speed / Vladimir V. Shubin // IEEE 11<sup>th</sup> International Conference and Seminar on Micro/Nanotechnologies and Electron Devices Proceedings, Erlagol, Russia - Erlagol, June/July, 2010. - PP.132-135.
  9. **Шубин В.В.** Сравнение и анализ параллельных сумматоров со сквозным переносом / В.В. Шубин // Материалы X международной конференции: Актуальные проблемы электронного приборостроения АПЭП-2010. - Том 4. - Новосибирск, 2010. - С.81-85.
  10. **Шубин В.В.** Ячейка быстродействующего полного КМОП сумматора со сквозным переносом зеркального стиля проектирования / В.В. Шубин // Материалы X международной конференции: Актуальные проблемы электронного приборостроения, АПЭП-2010. Том 4, Новосибирск, 2010, стр. - Том 4. - Новосибирск, 2010. - С. 86-89.
  11. **Шубин В.В.** Принципы формирования надёжной синхронизации управляющих сигналов ЗУ / В.В. Шубин // Информатика и проблемы телекоммуникаций: Материалы Российской научно-технической конференции. - Том 1. - Новосибирск, 2011г.- С.544-546.

### **Свидетельства интеллектуальной собственности:**

12. **Шубин В.В.** Адресный формирователь / В.В. Шубин // Патент на изобретение РФ №2010361, G11C 8/00 - Роспатент, бюллетень №6. - 30.03.1994г.
13. **Шубин В.В.** Дешифратор / В.В. Шубин // Патент на изобретение РФ №2307405, G11C 8/00. - ФГУ ФИПС, бюллетень №27. - 27.09.2007г.
14. **Шубин В.В.** Сумматор / В.В. Шубин // Патент на изобретение РФ №2380739, G06F 7/50. - ФГУ ФИПС, бюллетень №3. - 27.01.2010г.
15. **Шубин В.В.** Одноразрядный сумматор / В.В. Шубин // Патент на изобретение РФ №2408058, G06F 7/50. - ФГУ ФИПС, бюллетень №36. - 27.12.2010г.
16. **Шубин В.В.** Одноразрядный двоичный сумматор / В.В. Шубин, Ю.П. Лебедев // Патент на изобретение РФ №2408922, G06F 7/50. - ФГУ ФИПС, бюллетень №1. - 10.01.2011г.
17. **Шубин В.В.** Топология интегральной микросхемы 1603РУ1 / В.В. Шубин // Свидетельство о государственной регистрации топологии интегральной микросхемы 1603РУ1 № 2011630096. - зарегистрировано в Реестре топологий интегральных микросхем. - 21.09.2011.
18. **Шубин В.В.** Сумматор / В.В. Шубин // Патент на изобретение РФ №2435196, G06F 7/50. - ФГУ ФИПС, бюллетень №33. - 27.11.2011г.
19. **Шубин В.В.** Одноразрядный сумматор / В.В. Шубин // Патент на изобретение РФ №2444050, G06F 7/50. - ФГУ ФИПС, бюллетень №6. - 27.02.2012г.
20. **Шубин В.В.** Одноразрядный двоичный сумматор / В.В. Шубин // Патент на изобретение РФ №2450324, G06F 7/50. - ФГУ ФИПС, бюллетень №13. - 10.05.2012г.
21. **Шубин В.В.** Сумматор / В.В. Шубин // Патент на изобретение РФ №2455680, G06F 7/50. - ФГУ ФИПС, бюллетень №19. - 10.07.2012г.
22. **Шубин В.В.** Сумматор / В.В. Шубин // Патент на изобретение РФ №2469381, G06F7/50. - ФГУ ФИПС, бюллетень №34. - 10.12.2012г.
23. **Шубин В.В.** Полный сумматор / В.В. Шубин // Патент на изобретение РФ №2475811, G06F7/50. - ФГУ ФИПС, бюллетень №5. - 20.02.2013г.